

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-058106

(43)Date of publication of application : 28.02.2003

(51)Int.Cl. G09G 3/30  
 G09F 9/30  
 G09F 9/33  
 G09G 3/20  
 G09G 3/32  
 H05B 33/14

(21)Application number : 2001-242103

(71)Applicant : NEC CORP

(22)Date of filing : 09.08.2001

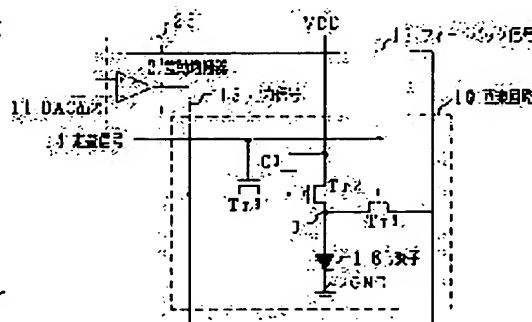
(72)Inventor : SHIMODA MASAMICHI

## (54) DRIVING CIRCUIT FOR DISPLAY DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a driving circuit for a display device capable of displaying accurate gradations by preventing display unevenness caused by the dispersion in the transistors arranged in each pixel.

SOLUTION: The driving circuit comprises a light emitting element 1 and a driving transistor Tr2 for driving this light emitting element arranged in series across a 1st power source VDD and a 2nd power source GND, a 1st switching transistor Tr1 for guiding a control signal 13 for controlling the driving transistor Tr2 to the gate of the driving transistor Tr2, and a differential amplifier 2 for comparing the voltage 12 at the connection point J of the light emitting element 12 and the driving transistor Tr2 with the control voltage 11 presenting the gradation of the pixel to be inputted to a display device, and is characterized in being configured so as to guide the control voltage 13 to the gate of the driving transistor Tr2 via the 1st switching transistor Tr1.



## LEGAL STATUS

[Date of request for examination] 12.08.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3800050

[Date of registration] 12.05.2006

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-58106

(P2003-58106A)

(43) 公開日 平成15年2月28日 (2003.2.28)

(51) IntCl <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 8 0
	3 6 5		3 6 5 Z 5 C 0 9 4
	9/33		Z
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 H

審査請求 未請求 請求項の数 4 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2001-242103(P2001-242103)

(22) 出願日 平成13年8月9日(2001.8.9)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 下田 雅通

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100070530

弁理士 畑 泰之

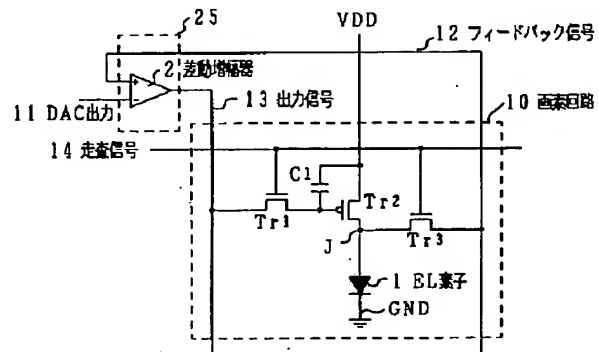
最終頁に続く

#### (54) 【発明の名称】 表示装置の駆動回路

#### (57) 【要約】

【課題】 各画素に設けたトランジスタのばらつきによって生じる表示むらを防止し、正確な階調表示が可能な表示装置の駆動回路を提供する。

【解決手段】 第1の電源VDDと第2の電源GNDとの間に直列に設けられた発光素子1とこの発光素子1を駆動する駆動トランジスタTr2と、駆動トランジスタTr2を制御する制御信号13を駆動トランジスタTr2のゲートに導くための第1のスイッチングトランジスタTr1と、発光素子1と駆動トランジスタTr2との接続点Jの電圧12と表示装置に入力する画素の輝度を示す制御電圧11とを比較し、制御信号13を生成するための差動増幅器2とからなり、制御信号13を第1のスイッチングトランジスタTr1を介して、駆動トランジスタTr1のゲートに導くように構成したことを特徴とする。



## 【特許請求の範囲】

【請求項1】 複数の画素がマトリクス状に配列され、発光素子を前記画素毎に設けた表示装置の駆動回路において、

第1の電源と第2の電源との間に直列に設けられた前記発光素子とこの発光素子を駆動する駆動トランジスタと、前記駆動トランジスタを制御する制御信号を前記駆動トランジスタのゲートに導くための第1のスイッチングトランジスタと、前記発光素子と駆動トランジスタとの接続点の電圧と前記表示装置に入力する画素の輝度を示す制御電圧とを比較し、前記制御信号を生成するための差動増幅器とからなり、前記制御信号を前記第1のスイッチングトランジスタを介して、前記駆動トランジスタのゲートに導くように構成したことを特徴とする表示装置の駆動回路。

【請求項2】 前記第1及び第2のスイッチングトランジスタは、共に同一の制御信号で制御されることを特徴とする請求項1記載の表示装置の駆動回路。

【請求項3】 前記差動増幅器には、入力オフセットをキャンセルする回路が設けられていることを特徴とする請求項1又は2記載の表示装置の駆動回路。

【請求項4】 前記差動増幅器は、画素が形成される基板と同一基板上に形成されていることを特徴とする請求項1乃至3の何れかに記載の表示装置の駆動回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、表示装置に用いられる発光素子の駆動装置に関し、特に有機EL及び無機EL（エレクトロルミネッセンス）又はLED（発光ダイオード）等のような発光輝度が素子を流れる電流により制御される電流制御型発光素子の駆動に好適な表示装置の駆動回路に関する。

## 【0002】

【従来の技術】 走査線及び信号線によりマトリクスを形成し、その各交点に有機EL、無機EL、又はLED等のような発光素子を配置して、ドットマトリクスにより文字表示を行う表示装置は、テレビ、携帯端末、広告塔等に広く利用されている。特に、これらの表示装置は、画素を構成する素子自体が発光素子であるため液晶表示装置とは異なり、照明用のバックライトを必要としない、高視野角等の特徴を有し注目されている。中でも、マトリクスの各画素にスイッチ素子を内蔵して画素の画像を一定の時間内保持するアクティブ駆動型表示装置は、発光素子のみで構成されるパッシブ駆動型表示装置に対して、高輝度、高精細、低消費電力等の特徴を持ち、近年特に注目されている。

【0003】 このような表示装置は、従来、図12に示すような駆動回路が一般的に使用されている。動作を説明すると、走査線201によってスイッチング用トランジスタTr201をオンにして、データ線202の電圧

を保持容量C202に書き込み、駆動用トランジスタTr202をオンにする。EL素子200には、Tr202のゲート・ソース電圧によって決まる導電率に応じた電流が流れる。即ち、データ線202の電圧によって中間調表示の制御をアナログ的に行っている。しかし、アクティブ駆動型表示装置として使用されるポリシリコン薄膜トランジスタは、チャネル部が多結晶シリコンのため、単結晶シリコンに比べて特性のばらつきが桁違いに大きい。従って、同じゲート電圧を書き込んでもTr202の特性のばらつきによって画素毎に電流が異なり、輝度むらとなって高階調表示の実現が難しいという欠点がある。この欠点を克服するため、Society for Information Display発行の1998年『SID99DIGEST』の438～441頁（Sarnoff Corp）には、しきい値電圧ばらつきの影響を受けない駆動回路が開示されている。

【0004】 図10及び図11を参照して、以下その動作について説明する。

【0005】 薄膜トランジスタ（Tr101～Tr104）は全てPchトランジスタで構成される。期間①ではTr101～Tr104全てがオンして、EL素子100に電流が流れる。次に期間②に入るとTr104がオフして、Tr102のゲート・ソース間電圧Vgsがしきい値電圧Vthになるまで図示した経路で電流が流れ、Vgs=Vthとなった時点でTr102はオフする。期間③に入ると今度はTr103がオフして、データ線102の電圧がVDDからVdataに変化する。すると、C101とC102との間で容量分配が起こり、C102の両端に発生する電圧、つまりはTr102のゲート・ソース間電圧Vgs=-VDD+Vth+C101\*(VDD-Vdata)/(C101+C102)となる。期間④に移ってTr104がオンした時にEL素子100に流れる電流は、Tr102を飽和領域で使用した時に、電流I=(W\*u\*Cox/2\*L)\*((-C102\*VDD-C101\*Vdata)/(C101+C102))^2となり、しきい値電圧Vthの項が無く、Vtにばらつきが有っても電流に影響を与えない。ここで、L及びWは、それぞれTr102のチャネル長及びチャネル幅、uは移動度、Coxはゲート絶縁膜容量である。

## 【0006】

【発明が解決しようとする課題】 ところが、この駆動回路では、上記した電流Iの計算結果の式から明らかなように、トランジスタのしきい値ばらつきは補正できるが、トランジスタの移動度のばらつきまでは補正できない。従って、移動度にばらつきがあると、各画素の輝度が変動し、輝度むらが発生してしまう問題がある。また、トランジスタを4個、静電容量を2個、走査線、データ線の他に制御線を2本必要とするため、画素回路が複雑となって、以下に示す2つの問題点もある。

【0007】 第1の問題点は、画素回路が複雑なため、

生産性の面で不良確率が増加し、歩留まりが低下する。

【0008】第2の問題点は、開口率が低下するため、目的の輝度を得るためには電流を増やす必要があり、消費電力が増加してしまう。

【0009】本発明の目的は、トランジスタ特性にばらつきがあっても輝度むらが発生しない回路を提案し、高階調表示が可能な表示装置を提供することである。

【0010】更に、本発明の他の目的は、画素回路の構成を簡素化することで、歩留まりの低下及び開口率の低下を防止し、低価格化、低消費電力化が可能な表示装置を提供することである。

【0011】

【課題を解決するための手段】本発明は上記した目的を達成するため、基本的には、以下に記載されたような技術構成を採用するものである。

【0012】即ち、本発明に係わる表示装置の駆動回路の第1態様は、複数の画素がマトリクス状に配列され、発光素子を前記画素毎に設けた表示装置の駆動回路において、第1の電源と第2の電源との間に直列に設けられた前記発光素子とこの発光素子を駆動する駆動トランジスタと、前記駆動トランジスタを制御する制御信号を前記駆動トランジスタのゲートに導くための第1のスイッチングトランジスタと、前記発光素子と駆動トランジスタとの接続点の電圧と前記表示装置に入力する画素の輝度を示す制御電圧とを比較し、前記制御信号を生成するための差動増幅器とからなり、前記制御信号を前記第1のスイッチングトランジスタを介して、前記駆動トランジスタのゲートに導くように構成したことを特徴とするものであり、又、第2態様は、前記第1及び第2のスイッチングトランジスタは、共に同一の制御信号で制御されることを特徴とするものであり、又、第3態様は、前記差動増幅器には、入力オフセットをキャンセルする回路が設けられていることを特徴とするものであり、又、第4態様は、前記差動増幅器は、画素が形成される基板と同一基板上に形成されていることを特徴とするものである。

【0013】

【発明の実施の形態】本発明は、複数の画素がマトリクス状に配列され、発光素子を前記画素毎に設けた表示装置の駆動回路において、第1の電源VDDと第2の電源GNDとの間に直列に設けられた前記発光素子1とこの発光素子1を駆動する駆動トランジスタTr2と、前記駆動トランジスタTr2を制御する制御信号13を前記駆動トランジスタTr2のゲートに導くための第1のスイッチングトランジスタTr1と、前記発光素子1と駆動トランジスタTr2との接続点Jの電圧12と前記表示装置に入力する画素の輝度を示す制御電圧11とを比較し、前記制御信号13を生成するための差動増幅器2とからなり、前記制御信号13を前記第1のスイッチングトランジスタTr1を介して、前記駆動トランジスタ

Tr1のゲートに導くように構成したことを特徴とするものである。

【0014】本発明は、上記のように構成することで、画素が選択されている期間、第1のスイッチングトランジスタTr1及び第2のスイッチングトランジスタTr3がオンして、差動増幅器2によるフィードバックループを形成する。このため、画素の輝度情報を示す画像信号の電圧11と発光素子1に印加される電圧12とが同電位となるように駆動トランジスタTr2のゲートが駆動される。従って、駆動トランジスタTr2にばらつきがあっても、発光素子1に流れる電流にばらつきは生じないので、表示の均一性が向上する。

【0015】

【実施例】本発明の上記および他の目的、特徴および利点を明確にすべく、以下に添付した図面を参照しながら、本発明の実施例を詳細に説明する。

(第1の具体例) 図1乃至図8は、本発明の表示装置の駆動回路の第1の具体例を示す図であり、これらの図には、複数の画素がマトリクス状に配列され、発光素子を前記画素毎に設けた表示装置の駆動回路において、第1の電源VDDと第2の電源GNDとの間に直列に設けられた前記発光素子1とこの発光素子1を駆動する駆動トランジスタTr2と、前記駆動トランジスタTr2を制御する制御信号13を前記駆動トランジスタTr2のゲートに導くための第1のスイッチングトランジスタTr1と、前記発光素子1と駆動トランジスタTr2との接続点Jの電圧12と前記表示装置に入力する画素の輝度を示す制御電圧11とを比較し、前記制御信号13を生成するための差動増幅器2とからなり、前記制御信号13を前記第1のスイッチングトランジスタTr1を介して、前記駆動トランジスタTr1のゲートに導くように構成したことを特徴とする表示装置の駆動回路が示され、又、前記表示装置に入力する画素の輝度を示す制御電圧11は、前記差動増幅器2の反転入力端子(−)に輸入され、前記発光素子1と駆動トランジスタTr2との接続点Jの電圧12は、前記差動増幅器2の非反転入力端子(+)に輸入されるように構成したことを特徴とする表示装置の駆動回路が示されている。

【0016】以下に、本発明の第1の具体例を更に詳細に説明する。

【0017】初めに、本発明の駆動回路を含んだEL表示装置20の構成について、図5を参照して説明する。

【0018】図5は、m行n列の画素配列、64階調26万色表示の装置例として描かれている。EL表示装置20は、シフトレジスタ21と、データレジスタ22と、ラッチ回路23と、D/A変換器24と、差動増幅器25と、図示されていない垂直走査回路とから構成され、各ブロックの回路は同一のガラス基板上に形成されている。

【0019】シフトレジスタ21は、スタート信号ST

とクロック信号CLKから画像データ信号(D0~D5)の取り込みタイミングを示す取り込み信号30をデータレジスタ22へ出力する。データレジスタ22は取り込み信号30により、連続して送られてくる1データライン分の画像データ信号(D0~D5)を順次取り込んで、ラッチ回路23へ出力する。ラッチ回路23は、データラインn列分のデータがデータレジスタ22に揃った時点でラッチ信号LEによりラッチして、D/A変換器24に出力する。D/A変換器24は、デジタル・アナログ変換を行ってアナログ信号(DAC出力11)を差動増幅器2へ出力する。本実施例では、D/A変換器24においてデータライン毎にD/A変換器を設けている。即ち、データライン毎にDAC出力11が存在し、その数はn本である。差動増幅器25も同じくデータライン毎に差動増幅器2をもち、DAC出力11と画素アレイ26側から出力されるフィードバック信号12を入力として出力信号13を出力する。

【0020】図1は、第1の具体例の構成を示す回路図である。

【0021】本発明の駆動回路は、EL素子1と、差動増幅器2と、スイッチングトランジスタTr1及びTr3と、駆動トランジスタTr2と、Tr2のゲート・ソース間電圧を保持するための保持容量C1とから構成される。また、スイッチングトランジスタTr1及びTr3は、Nチャネルの薄膜トランジスタで、駆動トランジスタTr2は、Pチャネルの薄膜トランジスタで構成されている。差動増幅器2は、EL素子1の発光輝度情報を示すDAC出力11が反転入力端子に入力され、EL素子1に印加された電圧を示すフィードバック信号12が非反転入力端子に接続され、入力信号の差に差動増幅器2自体がもつ内部ゲインを掛けた出力信号13を出力する。スイッチングトランジスタTr1は、その一方の電極(例えばドレイン)が出力信号13に接続され、もう一方の電極(例えばソース)が駆動トランジスタTr2のゲートに接続され、ゲートには走査信号14が接続され、水平走査期間、走査信号14によってオン状態になると、出力信号13が駆動トランジスタTr2のゲートへ出力される。駆動トランジスタTr2は、ゲートがスイッチングトランジスタTr1のソースに接続され、ソースが電源の正極VDDに接続され、ドレインがEL素子1のアノードに接続され、EL素子1へ電流を出力する。Tr2のゲート・ソース間には1フレーム期間、電圧を保持するための保持容量C1が接続される。スイッチングトランジスタTr3は、その一方の電極(例えばドレイン)がEL素子1のアノードに接続され、もう一方の電極(例えばソース)が、差動増幅器2の非反転端子(+)に接続され、ゲートには走査信号14が接続され、水平走査期間、走査信号14によってオン状態になると、EL素子1に印加されている電圧をフィードバック信号12として差動増幅器2へ出力する。EL素子

1のカソードは、電源の負極に接続される。

【0022】以下に、本発明の動作について説明する。

【0023】初めに、本発明の駆動回路を含んだEL表示装置20の動作について、図6の信号波形図を用いて説明する。

【0024】まず、スタートパルスSTが立ち上がると、シフトレジスタ21において基準クロックCLKによって1水平期間内、順次シフトクロック30(SR1、SR2、・・・SRn)が出力される。データレジスタ22は、シフトクロック30の立ち上がりでデジタル画像データ(D0~D5)をサンプリングし始め、立ち下がりでデータを取り込む。SR1信号により、1列目のデータライン用デジタル画像データ(D0~D5)を、次いでSR2信号により、2列目のデータライン用デジタル画像データ(D0~D5)データを、SRn信号により、最終n列目のデータライン用デジタル画像データ(D0~D5)を取り込んでいく。n列目のデジタル画像データの取り込みが終了すると、ラッチ信号LEの立ち下がりによってデータライン全てのデジタル画像データがラッチ回路23に取り込まれ、ラッチ出力32が変化する。D/A変換器24は、デジタル画像データ6bitで表現されるアナログ信号(DAC出力11)を列毎にそれぞれ出力する。図では、あるデータラインにおけるDAC出力11の波形を示しており、ラッチ出力32の変化とともに階段状に出力が変化する。

【0025】次に、このDAC出力11が入力される画素の動作について図1及び図2を参照して説明する。

【0026】走査信号14が立ち上がることによって、スイッチングトランジスタTr1がオンになり、差動増幅器2の出力信号13は、駆動トランジスタTr2のゲートに送られる。また、スイッチングトランジスタTr3がオンして、EL素子1に印加されている電圧は、フィードバック信号12として差動増幅器2へ送られる。この時、出力信号13~Tr1~Tr2~EL素子1~Tr3~フィードバック信号12の経路でフィードバックループが形成される。今、DAC出力11が示す電圧をVdataとすると、走査開始時はEL素子1の電圧の方が低いので、出力信号13はGND側に変化する。すると、駆動トランジスタTr2からEL素子1に送られる電流が増えて、EL素子1の電圧が上昇する。逆にEL素子1の電圧が高くなると、出力信号13は電源VDD側に変化して、駆動トランジスタTr2からEL素子1に送られる電流が減少し、EL素子1の電圧は下降する。最終的に定常状態になったときは、EL素子1の電圧はDAC出力11と同電位に収束する。

【0027】次に、駆動トランジスタTr2にばらつきがある時の動作について、図3及び図4を参照して説明する。図3は駆動トランジスタTr2のVg-I<sub>d</sub>特性を示す図である。①の曲線が設計時の特性で、②及び③

の曲線がばらつきを想定した時の特性を示している。②の曲線は①の特性に対してしきい値電圧  $V_t$  が高く、移動度が低い特性、③の曲線は逆に①の特性に対してしきい値電圧  $V_t$  が低く、移動度が高い特性になっている。図4は、EL素子1の電流/電圧特性を示した図である。

【0028】走査期間、定常状態では上述したように、EL素子1の電圧は、DAC出力11と同電位になり、その電圧値は  $V_{data}$  である。この時、図4からEL素子1には  $I_{data}$  の電流が流れる。また、この時のゲート電圧は図3より電源VDDから  $V_1$  下がった電圧になることが分かる。今度は、②の特性を有する駆動トランジスタ  $T_r2$  を含んだ画素について考える。フィードバックループが形成されるので、定常状態では、EL素子1の電圧は、DAC出力11と同電位になることに変わりはない。この時ゲート電圧は電源VDDから  $V_2$  下がった電圧に収束することになる。③の曲線であれば、ゲート電圧はVDDから  $V_3$  下がった電圧に収束する。従って、駆動トランジスタ  $T_r2$  の特性がばらついても、特性に合わせてゲートに印加される電圧が変化して、EL素子1に流れる電流値は常に  $I_{data}$  になる。つまり、駆動トランジスタ  $T_r2$  のばらつきの影響を受けずに、発光輝度を示す電圧 (DAC出力11) を正確にEL素子に与えることができる。

【0029】図7は、差動増幅器2のオフセットキャンセル回路を設けた例を示す回路図である。

【0030】差動増幅器2は、差動入力構成するトランジスタの特性が違うと、入力信号間にオフセット電圧が生じる。この電圧が、データライン毎にある差動増幅器2で違ってしまうと、列方向に表示むらを発生する原因となる。差動増幅器2を含めたデータドライバを表示装置パネルの外で構成する場合は、単結晶シリコン等のトランジスタを使用してオフセット電圧を小さく作ることが可能であるが、既に述べたようにポリシリコン薄膜トランジスタでは特性のばらつきが大きい。そのため、差動入力構成する2個のトランジスタは近接した領域に配置してその特性が揃うようにするのが望ましい。しかし、これでも十分特性が揃わない場合が考えられる。こうした場合、入力オフセット電圧をキャンセルする回路を追加することが有効になる。

【0031】オフセットキャンセル回路を付加した差動増幅器2の構成を図7(a)に示す。

【0032】オフセットキャンセル回路は、スイッチングトランジスタ  $T_{r11}$ 、 $T_{r12}$ 、 $T_{r13}$  と、オフセット補償コンデンサ  $C_{11}$  とから構成される。ここでは、スイッチングトランジスタは、全てNチャネルの薄膜トランジスタで構成されている。各接続について説明すると、オフセット補償コンデンサ  $C_{11}$  は、一端がDAC出力11に接続され、もう一方が差動増幅器2の反転入力端子(−)に接続される。スイッチングトランジ

スタ  $T_{r11}$  は、その一方の電極 (例えばドレイン) がDAC出力11に接続され、もう一方の電極 (例えばソース) が非反転入力端子(+)に接続され、ゲートには制御線1が接続される。スイッチングトランジスタ  $T_{r12}$  は、その一方の電極 (例えばドレイン) が出力信号13に接続され、もう一方の電極 (例えばソース) が反転入力端子(−)に接続され、ゲートには制御線1が接続される。スイッチングトランジスタ  $T_{r13}$  は、その一方の電極 (例えばドレイン) がフィードバック信号12に接続され、もう一方の電極 (例えばソース) が、非反転入力端子(+)に接続され、ゲートには制御線2が接続される。

【0033】次に、動作について、図7(b)～(d)を参照して説明する。図7(d)に示した期間①では、制御線1及び2によって、 $T_{r11}$  と  $T_{r12}$  がオン、 $T_{r13}$  がオフしている。図7(b)は、この期間①の時の等価回路を示した図である。差動増幅器2の入力にオフセット電圧  $\Delta V$  が存在すると、ボルテージフォロウが形成されているためオフセット補償コンデンサ  $C_{11}$  に  $\Delta V$  が充電される。次に、期間②では  $T_{r11}$  と  $T_{r12}$  がオフ、 $T_{r13}$  がオンして、図7(c)に示す等価回路になる。差動増幅器2の反転入力端子は、( $V_{data} - \Delta V$ ) である。この期間②は既に説明した画素回路フィードバックループを形成する期間で、定常状態ではフィードバック信号12の電圧は反転入力端子からオフセット電圧  $\Delta V$  分上がった電圧  $V_{data}$  に収束する。よって、入力オフセットがキャンセルされ、EL素子1には  $V_{data}$  が印加される。この時、図7(d)に示したように、走査信号14の立ち上がりは期間②の始まりのタイミングに変更し、期間①では画素の走査をしない方がより良い。

【0034】このように、本形態では、さらに、差動増幅器2の入力オフセットをキャンセルする回路を追加することによって、データライン毎に発生する輝度ばらつきを防止する効果が得られる図8は、図1のスイッチングトランジスタ  $T_{r1}$ 、 $T_{r2}$  をPチャネルのMOSFETで構成したものである。この場合、走査信号14の極性を反転した信号を  $T_{r1}$ 、 $T_{r2}$  のゲートに加える。

(第2の具体例) 図9(a)、(b)は、それぞれ本発明の表示装置の駆動回路の第2の具体例を示す図である。

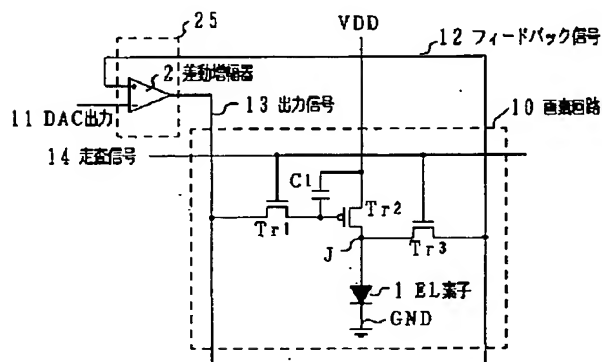
【0035】第1の具体例では、駆動トランジスタ  $T_{r2}$  を、PチャネルのMOSFETで構成したが、図9では、駆動トランジスタ  $T_{r2}$  を、NチャネルのMOSFETで構成している。この構成の場合、図9(a)では、フィードバック信号12は、差動増幅器2の反転端子(−)に加え、図9(b)では、フィードバック信号12は、差動増幅器2の非反転端子(+)に加えられるように構成されている。

【0036】以上、本発明の一実施例として、D/A変換器及び差動増幅器2をデータライン毎に設けたが、複数のデータラインをブロックにしてD/A変換器及び差動増幅器2の個数を減らすことも考えられる。データライン2本でブロックを構成すれば、回路数は1/2に、4本であれば1/4になる。この場合は、差動増幅器2と画素アレイ26の間にスイッチ手段を設け、垂直走査期間を時分割してブロック内のデータラインを順次選択する動作とすれば良い。

#### 【0037】

【発明の効果】以上説明したように、本願発明によれば、画素の選択期間、スイッチングトランジスタTr1及びTr3がオンして、差動増幅器2による負帰還ループを形成する。このため、画素の輝度情報を示すDAC出力信号11とEL素子1に印加される電圧が同電位となる動作を実行する。従って、駆動トランジスタTr2にばらつきが生じて、発光素子に流す電流にはばらつきが生じず、この結果、表示むらを防止できる。また、差動増幅器2の入力オフセットをキャンセルするオフセットキャンセル回路を付加させることで、データライン毎もしくはデータラインブロック毎に発生する表示むらも防止することができる。よって、表示の均一性が向上し、正確な階調表示が可能な表示装置を提供できる。また、画素に設けられるトランジスタの数(3個)も少なく、画素回路動作に必要な信号線(走査線、出力信号線、フィードバック線)も少ないため、画素の構成が簡素化される。この結果、生産性の向上が見込まれ、装置の低価格化が可能になる。また、開口率も向上するため、EL素子1の低電流駆動化による装置の低消費電力

【図1】



化と信頼性の向上が図れる。

#### 【図面の簡単な説明】

【図1】本発明の駆動回路の第1の具体例の構成を示す回路図である。

【図2】本発明の駆動回路の信号波形を示す図である。

【図3】駆動トランジスタTr2のゲート電圧・ドレイン電流特性を示す図である。

【図4】EL素子の電圧・電流特性を示す図である。

【図5】EL表示装置の構成を示すブロック図である。

10 【図6】EL表示装置の信号波形を示す図である。

【図7】オフセットキャンセル回路が付加された差動増幅器を示す図で、図7(a)は構成を示す回路図、図7(b)及び(c)は、各動作モードにおける等価回路を示す図、図7(d)は、信号波形を示す図である。

【図8】第1の具体例の他の構成を示す回路図である。

【図9】本発明の第2の具体例の構成を示す回路図である。

【図10】従来のしきい値補正機能を有する駆動回路の構成を示す回路図である。

20 【図11】図10の信号波形を示す図である。

【図12】従来の駆動回路の構成を示す回路図である。

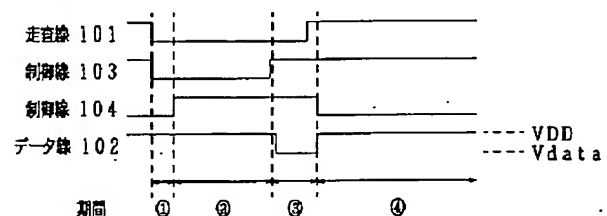
#### 【符号の説明】

- 1 EL素子
- 2 差動増幅器
- Tr1, Tr3 スwitchングトランジスタ
- Tr2 駆動トランジスタ
- C1 保持容量
- 10 画素回路
- 20 EL表示装置

【図2】

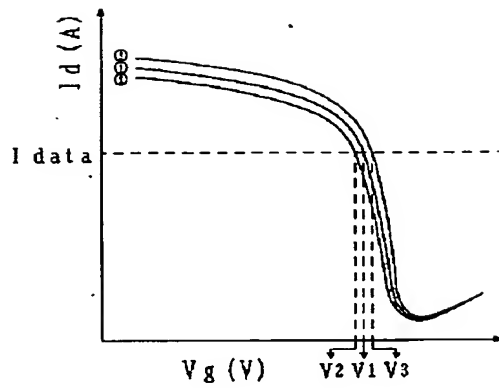


【図11】

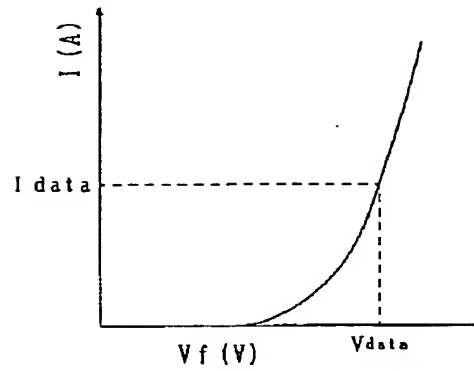




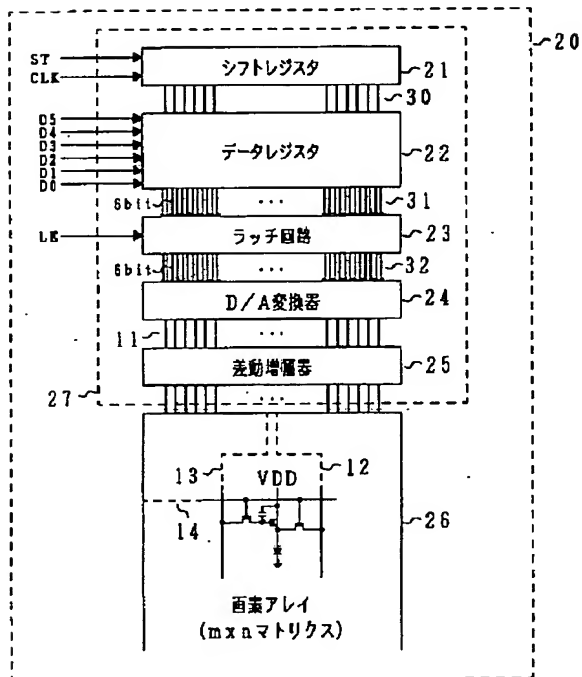
【図3】



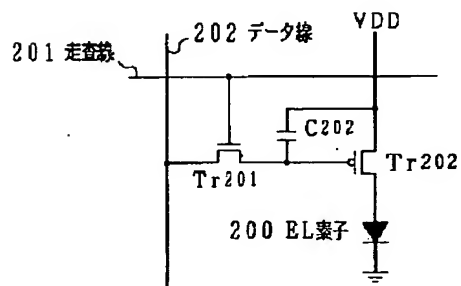
【図4】



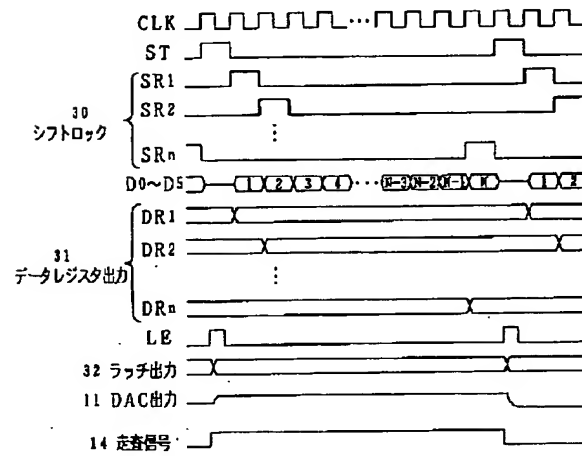
【図5】



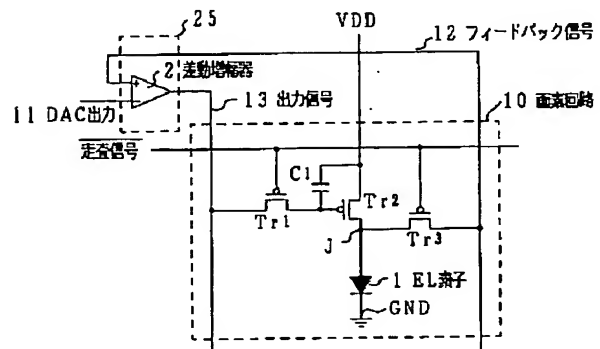
【図12】



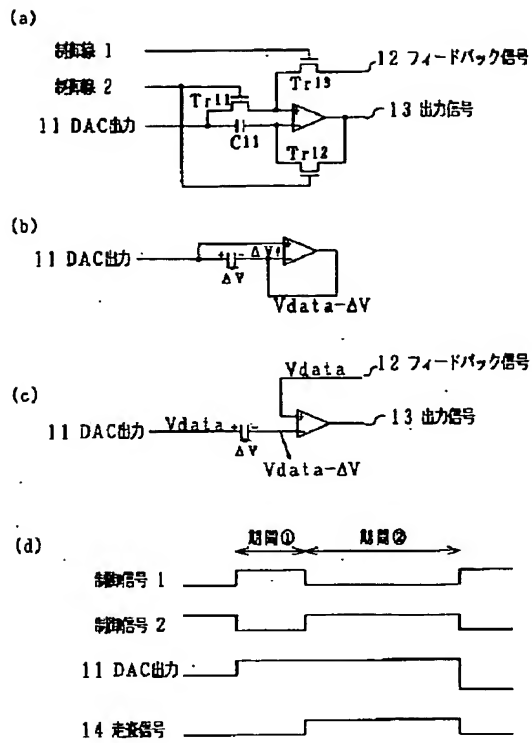
【図6】



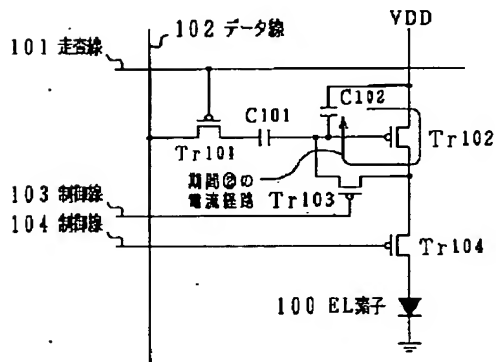
【図8】



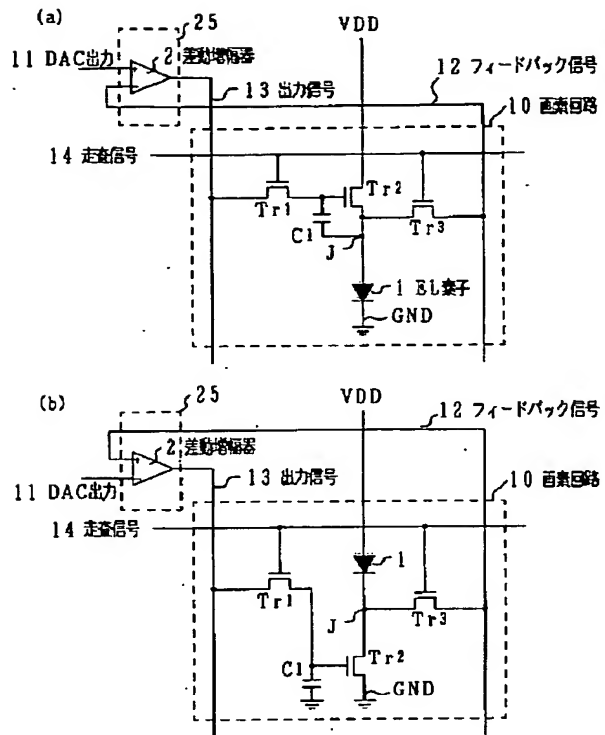
【図 7】



【図 10】



【図 9】



フロントページの続き

(51) Int. Cl. <sup>7</sup>  
 G 0 9 G 3/20  
 H 0 5 B 33/14

識別記号  
 6 2 4  
 6 4 1  
 6 4 2

F I  
 G 0 9 G 3/20  
 H 0 5 B 33/14

テーマコード' (参考)

6 2 4 B  
 6 4 1 D  
 6 4 2 A  
 A  
 A

F ターム(参考) 3K007 AB02 AB05 BA06 DA00 DB03  
EB00 FA01 GA04  
5C080 AA06 AA07 BB05 DD05 EE28  
FF11 JJ02 JJ03 JJ04  
5C094 AA03 AA05 AA43 AA44 BA03  
BA23 BA27 CA19 CA25